

**АВТОМАТИЗИРОВАННОЕ ПРОЕКТИРОВАНИЕ
СЛОЖНЫХ СИСТЕМ ЦИФРОВОЙ ФИЛЬТРАЦИИ
В ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ
ИНТЕГРАЛЬНЫХ СХЕМАХ**

П.В. Плотников, В.Н. Ланцов

*Кафедра вычислительной техники,
ГОУ ВПО «Владимирский государственный университет» (ВлГУ)*

Представлена членом редколлегии профессором В.И. Коноваловым

Ключевые слова и фразы: программируемые логические интегральные схемы; САПР; цифровая обработка сигналов; цифровые фильтры.

Аннотация: Рассмотрены методы автоматизированного проектирования сложных систем цифровой фильтрации в программируемых логических интегральных схемах. Предложен сквозной маршрут проектирования, предназначенный для сокращения времени разработки и повышения качества реализации цифровых фильтров. Выполнено сравнение предлагаемого подхода с маршрутом проектирования фирмы Xilinx.

Цифровая обработка сигналов (ЦОС) – это одна из наиболее быстро развивающихся отраслей современной электроники, которая применяется в любой области, где информация содержится в цифровом виде или контролируется цифровым процессором. Одной из операций ЦОС, имеющих первостепенное значение, является цифровая фильтрация. Высокие требования к скорости передачи информации по каналу определяют частоты дискретизации сигнала в десятки и сотни мегагерц. Для создания высокопроизводительных цифровых фильтров (ЦФ) в последнее время получили широкое распространение программируемые логические интегральные схемы (ПЛИС). В состав современных устройств связи входят сложные системы цифровой фильтрации, состоящие из нескольких ЦФ и предполагающие многоканальную и многоскоростную обработку сигнала. Проектирование таких систем в ПЛИС – сложный процесс, требующий от разработчика значительных усилий, поэтому развитие методов автоматизированного проектирования данного класса устройств является актуальной задачей.

Цель данной работы – рассмотрение сквозного маршрута проектирования систем цифровой фильтрации, позволяющего значительно сократить время разработки и повысить качество получаемого решения. Анализируются возможности существующих САПР и выполняется сравнение предлагаемого подхода с маршрутом проектирования ЦФ в ПЛИС фирмы Xilinx.

Возможности существующих САПР

Анализ существующих маршрутов проектирования систем ЦОС в ПЛИС, выполненный в [3], позволил установить, что для разработчика систем цифровой фильтрации наиболее сложными задачами являются:

- выбор количества каскадов фильтрации и расчет степеней интерполяции и децимации для каждого каскада;
- выбор типа используемых цифровых фильтров и алгоритма расчета коэффициентов;
- выбор аппаратных структур системы и базовых блоков, оптимальных для конкретного аппаратного базиса;
- синтез и верификация описания системы на языках описания аппаратуры (HDL – hardware description language), таких как VHDL и Verilog.

Исследование возможностей современных САПР системного уровня (Matlab фирмы Mathworks, SystemVue фирмы Elanix, Advanced Design System фирмы Agilent Technologies и т.д.) показало, что в них основное внимание уделяется синтезу отдельных ЦФ по требованиям, заданным пользователем. Проектирование сложных систем цифровой фильтрации, состоящих из нескольких фильтров, а также систем с преобразованием частоты дискретизации недостаточно автоматизировано и выполняется вручную.

Для автоматизированного проектирования ЦФ на уровне регистровых передач используются специальные программные продукты – IP (Intellectual Property)-ядра. Исследование существующих IP-ядер фирм Xilinx и Altera позволило установить, что каждое ядро создается под конкретное семейство микросхем и полученное с помощью него HDL-описание невозможно применить для ПЛИС другого производителя. Также недостатком IP-ядер является недостаточное количество настроек и критериев оптимизации, отсутствие поддержки сложных и многоскоростных систем цифровой фильтрации, невозможность автоматически генерировать тестовую обвязку и тестовые векторы.

Таким образом, можно сделать вывод, что в существующих САПР недостаточно развиты методы автоматизированного проектирования многоканальных и многоскоростных систем цифровой фильтрации в базисе ПЛИС.

Сквозной маршрут проектирования систем цифровой фильтрации в ПЛИС

Предлагаемый сквозной маршрут проектирования предназначен для получения файла конфигурации микросхемы ПЛИС по требованиям системного уровня в автоматизированном режиме. Основные этапы маршрута проектирования показаны на рис. 1.

Исходные требования к системе цифровой фильтрации описываются в файле задания на проектирование. Наиболее часто задаются ограничения на амплитудно-частотную характеристику и требования к линейности фазо-частотной характеристики. Также указывается семейство микросхем ПЛИС, в которых планируется дальнейшая реализация.

Цель структурного синтеза применительно к системам цифровой фильтрации – формирование направленного сигнального графа, отображающего потоки данных в системе. Для синтеза данного графа необходимо рассчитать количество каскадов фильтров и степени преобразования частоты дискретизации в системе. В разработанной подсистеме САПР используется алгоритм, основанный на поиске комбинации простых множителей степени децимации (интерполяции), которая обеспечивает минимальные вычислительные затраты.

Сложная система цифровой фильтрации может состоять из нескольких десятков отдельных ЦФ. Цель параметрического синтеза – получение ЦФ минимального порядка при условии достижения наилучшего воспроизведения (наилучшей аппроксимации) требуемых частотных характеристик при заданных ограничениях. В разработанной подсистеме используются методы параметрического синтеза на основе окон и алгоритма Ремеза (для нерекурсивных ЦФ), а также стандартное и билинейное z -преобразования (для рекурсивных ЦФ) [1].

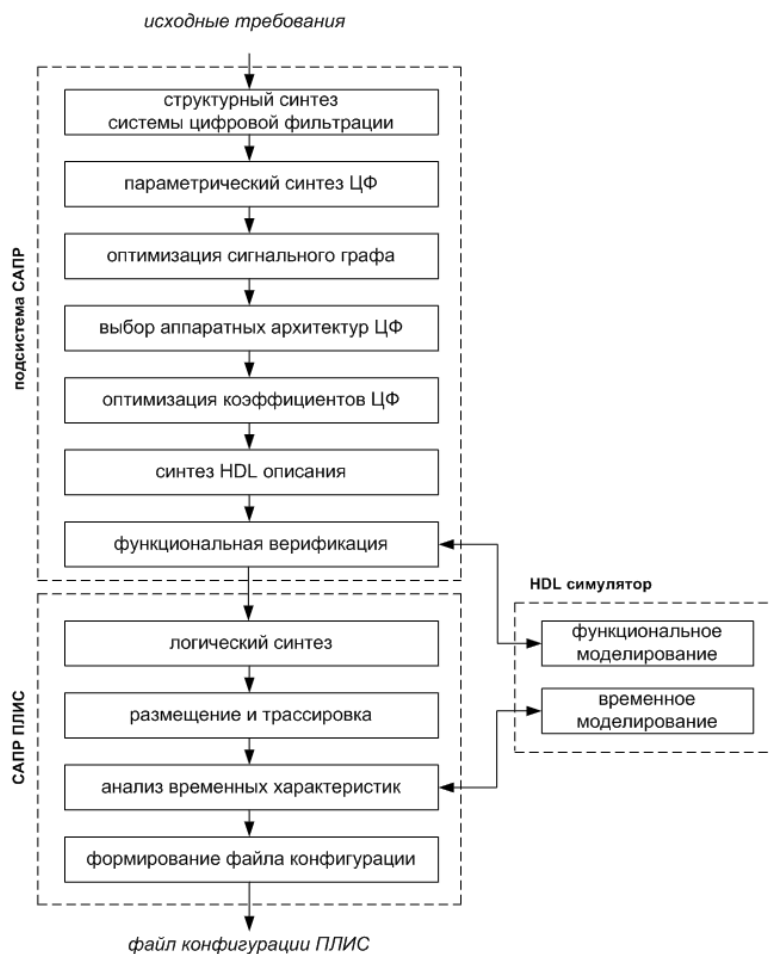


Рис. 1. Сквозной маршрут проектирования систем цифровой фильтрации в ПЛИС

Следующий этап – оптимизация направленного сигнального графа, целью которой является сокращение числа эквивалентных вентилях, необходимых для построения системы и увеличение тактовой частоты. Разработанный метод оптимизации основан на объединении n одноканальных фильтров в один n -канальный и позволяет за счет усложнения структуры устройства улучшить его характеристики.

Для оптимальной организации вычислительного процесса в ЦФ используются различные архитектуры, такие как параллельная, последовательная и последовательно-параллельная. Для каждого ЦФ вычисляется отношение «производительность/порядок фильтра», на основании которого в автоматизированном режиме выбирается аппаратная архитектура, оптимальная для конкретного аппаратного базиса.

Оптимизация коэффициентов ЦФ используется для уменьшения логического ресурса, требуемого для построения умножителей на константу в параллельных фильтрах. Для решения этой задачи предложен метод, основанный на алгоритме поиска глобального экстремума и случайного поиска в подпространствах. Применение метода оптимизации позволяет уменьшить площадь кристалла, необходимую для ЦФ на 20...30 %.

На следующем этапе направленный сигнальный граф и рассчитанные параметры ЦФ используются для синтеза модели системы на уровне регистровых пе-

редач. В разработанной подсистеме САПР сначала синтезируется HDL-код базовых блоков ЦФ. Далее базовые блоки объединяются для получения описания отдельных ЦФ. На заключительном этапе синтезируется HDL-код модуля верхнего уровня, в котором ЦФ объединяются с дециматорами, интерполяторами, блоками интерфейса и т.д. Таким образом, результатом выполнения данного этапа является полное синтезируемое описание системы на языках VHDL или Verilog.

Для проверки правильности функционирования устройства выполняется функциональная верификация полученного HDL-описания. В предлагаемом маршруте проектирования применяется собственный метод, основанный на проверке соответствия временных и частотных параметров системы требованиям технического задания [4]. Для этого используется два вида тестов: с импульсным и многочастотным воздействием. Генерация тестовых векторов и анализ полученных результатов производится в автоматизированном режиме средствами разработанной подсистемы САПР. Для выполнения функционального моделирования используется внешний HDL-симулятор.

Последующие этапы маршрута проектирования выполняются во внешней САПР ПЛИС (например, ISE фирмы Xilinx). Результатом логического синтеза является список цепей (netlist), описывающий связи между логическими ячейками микросхемы ПЛИС. После размещения и трассировки проекта выполняется анализ временных характеристик полученного решения. Одним из способов такого анализа является временное моделирование во внешнем HDL-симуляторе. На заключительном этапе генерируется файл конфигурации, загружаемый в устройство. Следует отметить, что в современных САПР вышеописанные этапы выполняются в автоматизированном режиме и требуют минимального участия пользователя.

Практическая реализация разработанных методов проектирования систем цифровой фильтрации

Предлагаемый маршрут проектирования был реализован в специальном программном обеспечении – подсистеме САПР. Структура подсистемы САПР показана на рис. 2.

В качестве платформы для подсистемы САПР использовалась система Matlab, в состав которой входят функции анализа и синтеза ЦФ, реализации различных методов оптимизации, а также инструменты для создания интерфейса пользователя.

Основным компонентом подсистемы САПР является ядро, состоящее из набора М-функций. Задание на проектирование описывается в виде файла в формате XML. Расчет коэффициентов ЦФ осуществляется М-функциями пакетов Filter Design и Signal Processing. Данные функции имеют множество несовместимых форматов вызова, что затрудняет их прямое подключение к ядру САПР. Для унификации вызова функций и передачи параметров используются интерфейсные М-функции.

В процессе оптимизации коэффициентов используются М-функции пакета расширения Optimization. Параметры семейств ПЛИС хранятся в соответствующих XML-файлах.

Важным условием применимости подсистемы САПР является возможность создавать и подключать пользовательские библиотеки. Поэтому программные модули генерации HDL описания базовых блоков вынесены во внешние библиотеки DLL (dynamic-link library), подключаемые через интерфейсные М-функции к ядру подсистемы САПР. Альтернативным вариантом генерации HDL кода является использование М-функций, исполняемых в среде Matlab.

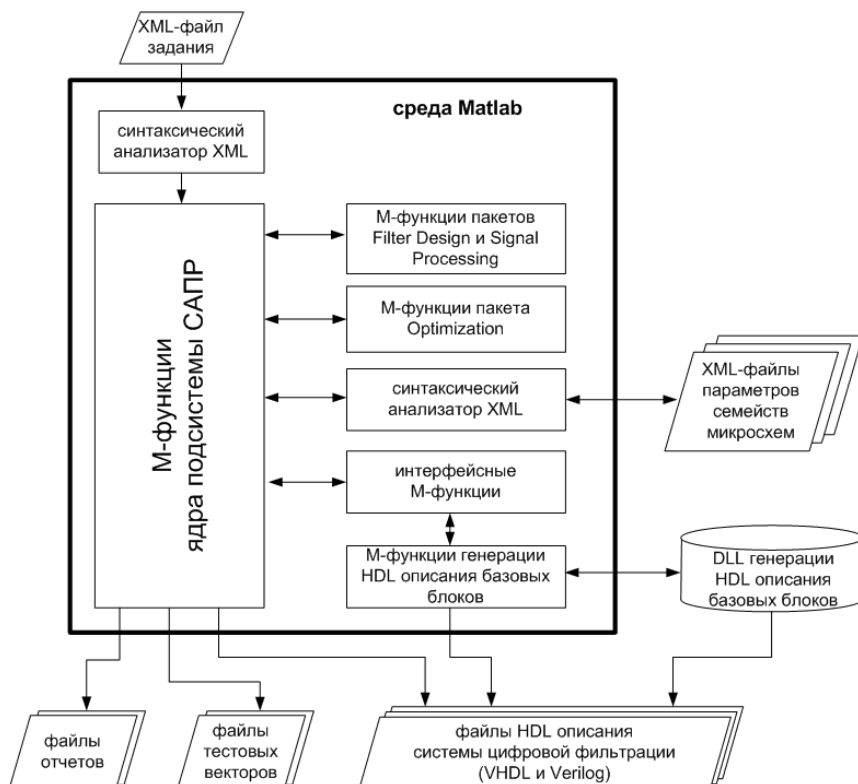


Рис. 2. Структура программного обеспечения подсистемы САПР

Результатом работы подсистемы САПР являются следующие файлы:

- файлы с HDL описанием системы цифровой фильтрации на языках VHDL и Verilog;
- файл отчета о синтезе HDL кода, в котором указаны используемые архитектуры ЦФ, оценки максимального значения тактовой частоты и занимаемого логического ресурса;
- файлы тестовых векторов для верификации HDL кода;
- файл отчета о верификации, в котором указаны полученные временные и частотные характеристики.

Сравнение с маршрутом проектирования фирмы Xilinx

Сравнение производилось на примере маршрута проектирования устройств ЦОС, который предлагается фирмой Xilinx [5], и основан на использовании таких программных продуктов как Matlab, System Generator, Xilinx CORE Generator, ModelSim и Xilinx ISE.

Объектом проектирования являлась система цифровой фильтрации широкополосного приемника GFSK-сигналов, предназначенная для обработки 16 каналов квадратурных составляющих с понижением частоты дискретизации в 16 раз. Частота дискретизации на входе системы 73,728 МГц, разрядность 12 бит, подавление в полосе заграждения 50 дБ, неравномерность в полосе пропускания 1 дБ [2].

Сравнение показало, что применение разработанного маршрута проектирования позволило сократить время разработки в 2–3 раза. Данный выигрыш удалось получить благодаря тому, что в предлагаемой подсистеме САПР большинст-

во этапов выполнялось в автоматизированном режиме, в отличие от маршрута фирмы Xilinx.

Применение метода оптимизации ЦФ позволило уменьшить используемое количество логических ячеек на 20...40 % по сравнению с ЦФ, синтезируемыми с помощью Xilinx CORE Generator. Уменьшение логического ресурса для всей системы фильтрации квадратур составило 36 % (12934 логических ячеек при использовании разработанной подсистемы САПР, 20452 – на основе маршрута фирмы Xilinx).

Список литературы

1. Цифровая обработка сигналов: практический подход : пер. с англ. / Айфичер, С. Эммануил, Джервис, У. Барри. – 2-е изд. – М. : Издательский дом «Вильямс», 2004. – 992 с.
2. Меркутов, А.С. Широкополосный цифровой приемник GFSK-сигналов / А.С. Меркутов, П.В. Плотников // Материалы 2-й международной НТК «Современные информационные системы. Проблемы и тенденции развития» : сб. материалов конф. – Харьков, 2007. – С. 390–391.
3. Плотников, П.В. Повышение эффективности реализации цифровых фильтров в ПЛИС / П.В. Плотников // Проблемы разработки перспективных микроэлектронных систем (МЭС-2006). – Москва, 2006. – С. 333–338.
4. Плотников, П.В. Автоматизированная функциональная верификация систем цифровой фильтрации. Перспективные технологии в средствах передачи информации / П.В. Плотников, В.С. Кухарук // Материалы 7-й международной научно-технической конференции. – Владимир, 2007. – С. 256–259.
5. System Generator for DSP, <http://www.xilinx.com>.

Computer-Aided Design of Complex Digital Filtering Systems in Field Programmable Gate Array

P.V. Plotnikov, V.N. Lantsov

Department of Computer Engineering, Vladimir State University

Key words and phrases: CAD; digital filters; digital processing of signals
Field Programmable Gate Array.

Abstract: The paper studies the techniques of computer-aided design of complex digital filtering systems in Field Programmable Gate Array. It offers the pass-throw design flow intended for decreasing the design time and improvement of implementation quality of digital filters.

Automatisierte Projektierung der komplizierten Systeme der Ziffernfiltrierung in den programmierten logischen integrierten Schemas

Zusammenfassung: Es sind die Methoden der automatisierten Projektierung der komplizierten Systeme der Ziffernfiltrierung in den programmierten logischen integrierten Schemas untersucht. Es ist die durchgehende Reiseroute der Projektierung,

die für die Kürzung der Zeit der Erarbeitungen und der Erhöhung der Qualitäten der Realisierungen der Ziffernfilter vorbestimmt ist, angeboten. Es ist der Vergleich des angebotenen Herangehens mit der Reiseroute der Projektierung der Firma Xilinx erfüllt.

Conception automatisée des systèmes complexes de la filtration digitale dans les schémas intégrés logiques programmables

Résumé: Sont examinées les méthodes de la conception automatisée des systèmes complexes de la filtration digitale dans les schémas intégrés logiques programmables. Est proposé un itinéraire de part en part de la conception destiné à la diminution du temps de l'élaboration et à l'augmentation de la qualité de la réalisation des filtres digitaux. Est effectuée une comparaison de l'approche proposée avec un itinéraire de la conception de la firme Xilinx.
